

15This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

JCS25 U.S. PTO  
09/311070  
05/13/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1998年 5月29日

出 願 番 号

Application Number:

平成10年特許願第150083号

出 願 人

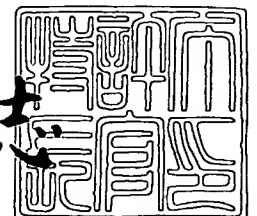
Applicant (s):

株式会社半導体エネルギー研究所

1999年 4月16日

特許庁長官  
Commissioner,  
Patent Office

伴佐山 建志



出証番号 出証特平11-3024053

【書類名】 特許願

【整理番号】 P003906-01

【提出日】 平成10年 5月29日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 液晶表示装置およびその作製方法

【請求項の数】 11

【発明者】

【住所又は居所】 神奈川県厚木市長谷 398 番地 株式会社半導体エネルギー研究所内

【氏名】 佐竹 瑠茂

【発明者】

【住所又は居所】 神奈川県厚木市長谷 398 番地 株式会社半導体エネルギー研究所内

【氏名】 桑原 秀明

【発明者】

【住所又は居所】 神奈川県厚木市長谷 398 番地 株式会社半導体エネルギー研究所内

【氏名】 平形 吉晴

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

特平 10-150083

【物件名】            要約書    1  
【プルーフの要否】    要

【書類名】 明細書

【発明の名称】 液晶表示装置およびその作製方法

【特許請求の範囲】

【請求項 1】

基板上にスイッチング素子と、  
前記スイッチング素子と接続された透明性導電膜からなる画素電極と、  
前記画素電極の下方に誘電体膜と、  
前記誘電体膜の下方に金属材料からなる反射層とを有することを特徴とする液晶表示装置。

【請求項 2】

請求項 1 において、前記画素電極は、高屈折率を有する導電材料で構成され、  
前記誘電体膜は、低屈折率誘電体材料で構成されていることを特徴とする液晶表示装置。

【請求項 3】

請求項 1 または請求項 2 において、前記画素電極と、前記誘電体膜と、反射層とで容量を形成することを特徴とする液晶表示装置。

【請求項 4】

基板上にスイッチング素子と、  
前記スイッチング素子と接続された透明性導電膜からなる画素電極と、  
前記画素電極の下方に誘電体多層膜と、  
前記誘電体多層膜の下方に金属材料からなる反射層とを有することを特徴とする液晶表示装置。

【請求項 5】

請求項 4 において、前記画素電極と、前記誘電体多層膜と、反射層とで容量を形成することを特徴とする液晶表示装置。

【請求項 6】

請求項 1 乃至 5 のいずれかーにおいて、前記反射層の電位は、コモン電位であることを特徴とする液晶表示装置。

【請求項 7】

請求項 1 乃至 6 のいずれか一において、前記反射層の反射面積は、前記画素電極の電極面積より大きいことを特徴とする液晶表示装置。

【請求項 8】

請求項 1 乃至 7 のいずれか一において、前記液晶表示装置は、一对の基板間に液晶が封入され、一方の基板上にマトリクス状に配置された前記画素電極と、前記画素電極に接続されている薄膜トランジスタと、反射層とを備えた液晶表示装置であることを特徴とする液晶表示装置。

【請求項 9】

基板上にスイッチング素子を形成する工程と、  
前記スイッチング素子の上方に金属材料からなる反射層を形成する工程と、  
前記反射層上に誘電体膜を形成する工程と、  
前記誘電体膜上に透明性導電膜からなる画素電極を形成する工程とを有することを特徴とする液晶表示装置の作製方法。

【請求項 10】

基板上にスイッチング素子を形成する工程と、  
前記スイッチング素子の上方に金属材料からなる反射層を形成する工程と、  
前記反射層上に誘電体多層膜を形成する工程と、  
前記誘電体多層膜上に透明性導電膜からなる画素電極を形成する工程とを有することを特徴とする液晶表示装置の作製方法。

【請求項 11】

基板上にスイッチング素子を形成する工程と、  
前記スイッチング素子を覆って層間絶縁膜を形成する工程と、  
前記層間絶縁膜上に金属材料からなる反射層を形成する工程と、  
前記反射層上に誘電体膜を形成する工程と、  
前記誘電体膜上に透明性導電膜からなる画素電極を形成し、前記反射層と前記誘電体膜と前記画素電極とからなる補助容量を形成する工程とを有することを特徴とする液晶表示装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、例えばパソコン、ワープロ等の電気機器の構成に関し、特に、電気機器に備えられている液晶表示装置（LCD）および液晶表示装置における反射層の作製方法に関するものである。また、本発明は液晶表示装置を具備した電気光学装置に適用することが可能である。

【0002】

なお、本明細書において「半導体装置」とは、半導体を利用することで機能する装置全てを指している。従って、上記液晶表示装置および電気光学装置も半導体装置の範疇に含まれる。ただし、明細書中では、区別しやすいように液晶表示装置や電気光学装置といった言葉を使いわけると。

【0003】

【従来の技術】

一般に反射型の液晶表示装置が知られている。反射型の液晶表示装置は、透過型の液晶表示装置と比較して、バックライトを使用しないため消費電力が少ないといった長所を有している。なお、反射型の液晶表示装置は、モバイルコンピュータやビデオカメラ用の直視型表示ディスプレイとしての需要が高まっている。

【0004】

図13は従来の構成の一例を示した画素断面図である。図13において、基板10と対向基板17の間には、基板10の上面から薄膜トランジスタ等のスイッチング素子11、層間絶縁膜12、画素電極13、配向膜14、液晶層15、配向膜14、対向電極16の順に形成されている。また、入射光20は、画素電極13で反射され、反射光21が生じる。なお、図13は模式図であるため、全体が示されていないが、基板の表面には、多数のスイッチング素子および多数の画素電極がマトリクス状に形成されている。

【0005】

また、図13に対応した図14は、従来の液晶パネルの上面図と、表示領域22の一部を拡大表示した図である。図14には、基板10上に、スイッチング素子11と、画素電極13等からなる表示領域22と、X方向駆動ドライバ回路23と、Y方向駆動ドライバ回路24とが設けられている。

## 【0006】

反射型の液晶表示装置は、液晶の光学変調作用を利用して、入射光が画素電極で反射して装置外部に出力される状態と、入射光が装置外部に出力されない状態とを選択し、明と暗の表示を行わせ、さらにそれを組み合わせることで、画像表示を行うものである。なお、画素電極は、アルミニウム等の光反射率の高い金属材料からなり、薄膜トランジスタ等のスイッチング素子に電氣的に接続している。

## 【0007】

このような従来の構成では、図14に示したように、画素毎に分離されて配置されている画素電極13の間隙から光が漏れ込むことが起こる。そのため、スイッチング素子11のオフ抵抗の低下、フォトキャリアの発生等により、画素電極の電荷がリークし、液晶駆動電圧が低下するという、いわゆる光リーク現象の問題があった。

## 【0008】

また、反射率の高い金属材料からなる画素電極13を反射層として用いる構成とした場合、光の反射率に限界（例えばアルミニウム電極で92%未満）があった。

## 【0009】

## 【発明が解決しようとする課題】

従来の反射層（画素電極）は、隣り合う反射層（画素電極）同士での間隙が大きく光リークが発生していた。

## 【0010】

また、光の反射率が十分でなく、液晶表示装置（特に、直視型の反射型液晶パネル）としての明るさに問題があった。特に、従来では、反射層（金属材料からなる画素電極）上に高い屈折率を有する配向膜を形成することで反射率が低下する問題が生じていた。例えば、蒸着アルミニウム膜（反射率91.6%）上に配向膜（屈折率1.6）を設けた場合、計算値では87.4%、実際の実験結果では、反射率が85～86%程度にまで低下していた。

## 【0011】



加えて、従来では増反射効果を得るために誘電体多層膜を積層すると、プロセス数が増加していた。

【0012】

そこで、本明細書で開示する発明は、上記問題を解決し、従来と比較して入射光がより効率よく反射するような反射層を備えた新規な液晶表示装置の構成およびその作製方法を提供することを課題とする。

【0013】

【課題を解決するための手段】

本明細書中で開示する本発明の第1の構成は、  
基板上にスイッチング素子と、  
前記スイッチング素子と接続された透明性導電膜からなる画素電極と、  
前記画素電極の下方に誘電体膜と、  
前記誘電体膜の下方に金属材料からなる反射層とを有することを特徴とする液晶表示装置である。

【0014】

上記構成において、前記画素電極は、高屈折率を有する導電材料で構成され、  
前記誘電体膜は、低屈折率誘電体材料で構成されていることを特徴としている。

【0015】

上記構成において、前記画素電極と、前記誘電体膜と、反射層とで容量を形成することを特徴としている。

【0016】

また、本発明の第2の構成は、  
基板上にスイッチング素子と、  
前記スイッチング素子と接続された透明性導電膜からなる画素電極と、  
前記画素電極の下方に誘電体多層膜と、  
前記誘電体多層膜の下方に金属材料からなる反射層とを有することを特徴とする液晶表示装置である。

【0017】

上記第2の構成において、前記画素電極と、前記誘電体多層膜と、反射層とで容

量を形成することを特徴としている。

【0018】

上記各構成において、前記反射層の電位は、コモン電位であることを特徴としている。

【0019】

上記各構成において、前記反射層の反射面積は、前記画素電極の電極面積より大きいことを特徴としている。

【0020】

上記各構成において、前記液晶表示装置は、一对の基板間に液晶が封入され、一方の基板上にマトリクス状に配置された前記画素電極と、前記画素電極に接続されている薄膜トランジスタと、反射層とを備えた液晶表示装置であることを特徴としている。

【0021】

また、本発明の第3の構成は、  
基板上にスイッチング素子を形成する工程と、  
前記スイッチング素子の上方に金属材料からなる反射層を形成する工程と、  
前記反射層上に誘電体膜を形成する工程と、  
前記誘電体膜上に透明性導電膜からなる画素電極を形成する工程とを有することを特徴とする液晶表示装置の作製方法である。

【0022】

また、本発明の第4の構成は、  
基板上にスイッチング素子を形成する工程と、  
前記スイッチング素子の上方に金属材料からなる反射層を形成する工程と、  
前記反射層上に誘電体多層膜を形成する工程と、  
前記誘電体多層膜上に透明性導電膜からなる画素電極を形成する工程とを有することを特徴とする液晶表示装置の作製方法である。

【0023】

また、本発明の第5の構成は、  
基板上にスイッチング素子を形成する工程と、

前記スイッチング素子を覆って層間絶縁膜を形成する工程と、  
前記層間絶縁膜上に金属材料からなる反射層を形成する工程と、  
前記反射層上に誘電体膜を形成する工程と、  
前記誘電体膜上に透明性導電膜からなる画素電極を形成し、前記反射層と前記誘電体膜と前記画素電極とからなる補助容量を形成する工程とを有することを特徴とする液晶表示装置の作製方法である。

【0024】

【発明の実施の形態】

図1は本願発明の構成の一例を簡略化して示した断面図である。

【0025】

本発明の液晶表示パネルは、基板110と対向基板119の間で、基板110の上に、スイッチング素子111、層間絶縁膜112、反射層113、誘電体膜114、画素電極115、配向膜116、液晶層117、配向膜116、対向電極118がそれぞれ順次設けられている。

【0026】

従来の構成において、画素電極13は、図13に示すように、入射光を反射する機能と、液晶に電界を印加する機能とを兼ねていた。また、従来の構成では、画素電極の隙間にブラックマスク等の遮光膜または反射膜を形成する工程を追加して、スイッチング素子の光劣化を防止する必要があった。

【0027】

このような従来の構成に対して、本発明は、従来のように反射層として画素電極を用いず、液晶に電界を印加する機能を有する画素電極115を透明性導電膜で構成する。

【0028】

上記画素電極115の材料としては、透明性及び導電性を十分有する材料、例えばITO（インディウム錫酸化物）や $\text{SnO}_2$ （酸化スズ）等で構成する。

【0029】

加えて、入射光を反射する機能を有する反射層113は、前記画素電極115に電氣的に接続させない構成とする。

## 【0030】

本発明の反射層 113 の材料としては、反射性を有する金属材料であれば特に限定されず、例えば、アルミニウム、銀、ロジウム、ニッケルまたはそれらを主成分とする合金等の高反射性白色金属材料を用いることができる。また、反射層の膜厚は 5 nm 以上であれば、反射層として十分機能する。なお、本発明においては、反射層上に誘電体膜や画素電極を形成するため、平坦性を考慮すると反射層の膜厚は 500 nm 以下が好ましい。

## 【0031】

本発明の第 1 の特徴は、入射光 120 を反射する反射層 113 がスイッチング素子 111 及び画素電極 115 と電氣的に接続されていない点である。従って、本発明の反射層 113 のパターンは、従来（図 14 に示す）のような隙間の生じるマトリクス状のパターンとする必要がない。よって、光リークの発生を低減し、且つ広い反射面積を得ることができる。

## 【0032】

ただし、図 2 に示したように、画素電極 200 とスイッチング素子（図示しない）とのコンタクト領域には、コンタクトホールの大きさに応じて画素電極と短絡しない程度に開口 201 を形成する。なお、この開口は、従来の隙間と比較して十分小さいものである。

## 【0033】

また、光リークを防止することを優先する場合には、図 7 に示すように、開口の下方に容量電極 702 を設ける構成とするとよい。また、この容量電極 702 と反射層 704 と誘電体膜 703 とで第 1 の補助容量 708 を形成することができる。容量電極 702 は、反射性または遮光性を有する導電材料で形成し、スイッチング素子への遮光機能を十分果たすことができる。従って、図 1 の構成と比較して工程数は増えるが、光リークの発生をほぼ完全に抑えることができる。

## 【0034】

本発明の第 2 の特徴は、反射層 113 と画素電極 115 と誘電体膜 114 とで容量を形成する点である。本発明の構成では、反射層と画素電極が誘電体膜（絶縁膜とも言う）で絶縁されている。よって、図 5（図 1 の一部を拡大した図）に

一例を示したように、反射層341と、画素電極338～340と、誘電体膜342とで補助容量344を形成することができる。なお、画素電極の電位と反射層の電位との電位差を大きくして、大きな容量を得るために、反射層を共通配線に接続し、コモン電位とすることが好ましい。

【0035】

また、本発明の第3の特徴は、反射層上の誘電体膜として低屈折率を有する材料を用い、且つ画素電極として高屈折率を有する材料を用いて反射率を向上させた点である。ただし、反射率を向上させるために、必要とする反射波長帯の中心波長で $\lambda/4$ 膜となるように誘電体膜及び画素電極の膜厚を調節する必要がある。以下に示したように、低屈折率誘電体膜及び画素電極（高屈折率を有する材料）の膜厚を調節して積層すると、反射光が干渉効果によって強め合い、効率よく反射率を向上させることができる。

【0036】

本明細書中で、 $\lambda/4$ 膜とは、屈折率を $n$ 、膜厚 $d$ 、中心波長を $\lambda$ とした時、 $nd = \lambda/4$ の関係を満たす膜のことを指している。

【0037】

例えば、本発明の誘電体膜として低屈折率誘電体膜（ $\text{SiO}_2$ ：屈折率1.43）を用いる場合、可視光領域（ $400\text{nm} < \lambda < 700\text{nm}$ ）で $\lambda/4$ 膜となる膜厚範囲は、 $70\text{nm} \sim 122\text{nm}$ となる。

【0038】

例えば、本発明の画素電極として高屈折率を有する材料（ITO：屈折率1.98）を用いる場合、可視光領域（ $400\text{nm} < \lambda < 700\text{nm}$ ）で $\lambda/4$ 膜となる膜厚範囲は、 $50.5\text{nm} \sim 88.4\text{nm}$ となる。

【0039】

図1及び図5には、誘電体膜を1層で構成した一例を示した。図1及び図5の構成では、膜厚が調節された低屈折率誘電体膜と高屈折率を有する画素電極とを反射層上に設けたため、反射光が干渉効果によって強め合い、従来の金属材料からなる反射電極と比較して高い反射率が得られる。また、配向膜を積層した構成としても反射損失が少なく、容易に90%以上の反射率が得られる。なお、上記誘

電体膜は、反射層の保護膜としての機能をも果たしている。加えて、上記誘電体膜は絶縁性を有するので、層間絶縁膜としての機能をも果たす。

【0040】

また、反射率を優先する場合には、図6に一例（誘電体膜を3層積層した例）を示したように、上記反射層上に誘電体多層膜603を積層する構成とすることが好ましい。

【0041】

この誘電体多層膜603は、低屈折率誘電体膜と高屈折率誘電体膜を交互に数層～数十層積層して構成する。なお、上記誘電体多層膜は、反射層の保護膜としての機能をも果たしている。加えて、上記誘電体多層膜は絶縁性を有するので、層間絶縁膜としての機能をも果たす。

【0042】

上記低屈折率誘電体膜に用いる材料（低屈折率誘電体材料）として $\text{SiO}_2$ 、 $\text{MgF}_2$ 、 $\text{Na}_3\text{AlF}_6$ 等を用いることができる。なお、それ以外の低屈折率誘電体材料として配向膜、アクリル、ポリイミド（屈折率1.5～1.6）を用いることもできる。

【0043】

また、高屈折率誘電体膜に用いる材料として $\text{TiO}_2$ 、 $\text{ZrO}_2$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{ZnS}$ 、 $\text{ZnSe}$ 、 $\text{ZnTe}$ 、 $\text{Si}$ 、 $\text{Ge}$ 、 $\text{Y}_2\text{O}_3$ 、 $\text{Al}_2\text{O}_3$ 等を用いることができる。また、それ以外の高屈折率を有する材料としてITO（屈折率1.98）等の透明導電体膜を用いることもできる。

【0044】

ただし、本発明においては、誘電体多層膜で反射率を向上させるために、必要とする反射波長帯の中心波長で $\lambda/4$ 膜となるように誘電体膜の膜厚を調節する必要がある。

【0045】

例えば、本発明の誘電体多層膜の1層として低屈折率誘電体膜（ $\text{SiO}_2$ ：屈折率1.43）を用いる場合、可視光領域（ $400\text{nm} < \lambda < 700\text{nm}$ ）で $\lambda/4$ 膜となる膜厚範囲は、 $70\text{nm} \sim 122\text{nm}$ となる。

【0046】

また、本発明の誘電体多層膜の1層として高屈折率誘電体膜 ( $\text{TiO}_2$  : 屈折率 2.2) を用いる場合、可視光領域 ( $400\text{ nm} < \lambda < 700\text{ nm}$ ) で  $\lambda/4$  膜となる膜厚範囲は、 $45.5\text{ nm} \sim 79.5\text{ nm}$ となる。

【0047】

このように低屈折率誘電体膜及び高屈折率誘電体膜の膜厚を調節し、低屈折率誘電体膜と高屈折率誘電体膜を交互に数層積層した誘電体多層膜は、反射光が干渉効果によって強め合い、効率よく反射率を向上させることができ、且つ反射率の高い波長域を得ることができる。

【0048】

従って、本発明の上記構成とした場合、即ち、反射層上に誘電体多層膜、または膜厚を調節した低屈折率誘電体膜と画素電極（高屈折率を有する導電膜）を積層させた場合、従来問題となっていた配向膜による反射率の低下を抑えることができる。

【0049】

また、金属膜（蒸着アルミニウム膜）上に形成した誘電体多層膜の層数に関して、各誘電体多層膜を  $\lambda/4$  膜とした場合、誘電体多層膜の層数と最大反射率の関係を表1として示した。本明細書中では、下層を低屈折率誘電体膜とし、上層を高屈折率誘電体膜とした2層を1組と呼ぶ。

【0050】

【表1】

下層が蒸着Alの場合における最大反射率（計算値）

誘電体多層膜 (1組=2層)	配向膜なし (%)	配向膜有り (%)
1組(2層)	96.1	94.0
2組(4層)	98.3	97.3
3組(6層)	99.2	98.8
4組(8層)	99.7	99.5

配向膜・・・屈折率1.6

誘電体多層膜

(下層) 低屈折率誘電体膜・・・酸化チタン：屈折率2.2

(上層) 高屈折率誘電体膜・・・酸化珪素：屈折率1.46

\*蒸着Al・・・屈折率0.82、吸収係数5.99

【0051】

表1から、誘電体多層膜の層数が多い程、反射率は高くなることが読み取れる。従って、反射率の高さを優先する場合は2組（4層）、好ましくは3組（6層）以上積層することが好ましい。

【0052】

一方、誘電体多層膜を容量の誘電体として用いる場合は、層数を3層～5層とし、総膜厚を薄くすることが好ましい。また、誘電体多層膜を成膜後、画素電極とスイッチング素子とを接続するためにコンタクトホールを形成するため、プロセス上、誘電体多層膜の総膜厚を薄くすることが望ましい。従って、製造コスト、歩留まりを優先する場合は、層数を可能な限り少なくすることが好ましい。

【0053】

例えば、図6に示したように、誘電体多層膜の総膜厚を薄くするため、最上層の低屈折率誘電体多膜上に画素電極（ITO：屈折率1.98）を、 $\lambda/4$ 膜となる膜厚50.5nm～88.4nmで形成する構成とし、層数を少なくすることが好ましい。容量を形成する場合、層数を少なくすると、総膜厚が薄くなるため、大きな容量を得ることができる。



【0054】

なお、本発明では、誘電体多層膜603上に画素電極604を設けた構成であるため、多層、例えば8層以上としても液晶のしきい値特性、応答速度等には全く影響がない。

【0055】

また、本発明において、それぞれの誘電体膜の膜厚や材料を適宜変更して、選択的に反射波長を設定する構成とすることは容易である。

【0056】

また、上記誘電体多層膜を形成する方法としては、スパッタリング法または真空蒸着法等が挙げられるが、本発明は特に限定されない。なお、本発明においては、層間絶縁膜上または反射層上に設ける誘電体多層膜の膜厚が均一に成膜されることが望ましい。

【0057】

【実施例】

【実施例1】 本実施例では本発明を利用して反射型LCDの画素マトリクス回路を作製する工程例を図3、4を用いて説明する。なお、本発明は反射層に関する技術であるため、スイッチング素子構造、例えばTFT構造自体は本実施例に限定されるものではない。

【0058】

まず、絶縁表面を有する基板301を用意する。基板としては、ガラス基板、石英基板、セラミックス基板、半導体基板を用いることができる。本実施例においてはガラス基板を用いた。次に、基板上に下地膜（図示しない）を設ける。下地膜は、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜を100～300nmの膜厚で利用することができる。本実施例では、TEOSを原料に用い、酸化珪素膜を200nmの膜厚に形成する。なお、石英基板のように十分平坦性を有しているなら、下地膜は特に設けなくともよい。

【0059】

次に、基板または下地膜の上に活性層を形成する。活性層は膜厚が20～100nm（好ましくは25～70nm）の結晶性半導体膜（代表的には結晶性珪素膜）で構成す

れば良い。結晶性珪素膜の形成方法は公知の如何なる手段、例えば、レーザー結晶化、熱結晶化等を用いても良いが、本実施例では結晶化の際に結晶化を助長する触媒元素（ニッケル）を添加している。この技術については特開平7-130652号公報、特願平8-335152号等に詳細に記載されている。そして、その結晶性珪素膜を通常のフォトリソ工程でパターンニングして膜厚50nmの活性層302～304を得た。なお、本実施例では3つのTFTのみ記載することになるが実際には100万個以上のTFTが画素マトリクス回路内に形成される。

#### 【0060】

次に、ゲート絶縁膜305として150nmの厚さの酸化珪素膜を形成した。ゲート絶縁膜305としては酸化珪素膜、窒化珪素膜、酸化窒化珪素膜またはこれらの積層膜を100～300nmの膜厚で用いることができる。その後、ゲート絶縁膜上に0.2wt%のスカンジウムを含有させたターゲットを用いてアルミニウムを主成分とする膜（図示せず）を成膜し、パターンニングによりゲート電極の原型となる島状パターンを形成した。

#### 【0061】

本実施例では、ここで特開平7-135318号公報に記載された技術を利用した。なお、詳細は同公報を参考にとすると良い。

#### 【0062】

まず、上記島状パターン上にパターンニングで使用したレジストマスクを残したまま、3%のシュウ酸水溶液中で陽極酸化を行った。この時、白金電極を陰極として2～3mVの化成電流を流し、到達電圧は8Vとする。こうして、多孔質状の陽極酸化膜306～308が形成された。

#### 【0063】

その後、レジストマスクを除去した後に3%の酒石酸のエチレングリコール溶液をアンモニア水で中和した溶液中で陽極酸化を行った。この時、化成電流は5～6mVとし、到達電圧は100Vとすれば良い。こうして、緻密な陽極酸化膜309～311が形成された。

#### 【0064】

そして、上記工程によってゲート電極312～314が画定した。なお、画素

マトリクス回路ではゲート電極の形成と同時に1ライン毎に各ゲート電極を接続するゲート線も形成されている。(図3(A))

## 【0065】

次に、陽極酸化膜306~311及びゲート電極312~314をマスクとしてゲート絶縁膜305をエッチングする。エッチングは $\text{CF}_4$  ガスを用いたドライエッチング法により行った。これにより315~317で示される様な形状のゲート絶縁膜が形成された。

## 【0066】

そして、陽極酸化膜306~308をエッチングにより除去し、この状態で一導電性を付与する不純物イオンをイオン注入法またはプラズマドーピング法により添加する。この場合、画素マトリクス回路をN型TFTで構成するならばP(リン)イオンを、P型TFTで構成するならばB(ボロン)イオンを添加すれば良い。

## 【0067】

なお、上記不純物イオンの添加工程は2度に分けて行う。1度目は80keV程度の高加速電圧で行い、ゲート絶縁膜315~317の端部(突出部)の下に不純物イオンのピークがくる様に調節する。そして、2度目は5keV程度の低加速電圧で行い、ゲート絶縁膜315~317の端部(突出部)の下には不純物イオンが添加されない様に調節する。

## 【0068】

こうしてTFTのソース領域318~320、ドレイン領域321~323、低濃度不純物領域(LDD領域とも呼ばれる)324~326、チャネル形成領域327~329が形成された。(図3(B))

## 【0069】

この時、ソース/ドレイン領域は300~500  $\Omega/\square$ のシート抵抗が得られる程度に不純物イオンを添加することが好ましい。また、低濃度不純物領域はTFTの性能に合わせて最適化を行う必要がある。また、不純物イオンの添加工程が終了したら熱処理を行い、不純物イオンの活性化を行った。

## 【0070】

次に、第1の層間絶縁膜330として酸化珪素膜を400nmの厚さに形成し、その上にソース電極331～333、ドレイン電極334～336を形成した。(図3(C)) また、第1の層間絶縁膜としては酸化珪素膜の他に酸化窒化珪素あるいは他の絶縁材料を使用することが可能である。

## 【0071】

なお、本明細書では、図3(C)において、343で示される領域内に構成された素子をスイッチング素子(代表的にはTFT、MIM素子でも良い)と呼ぶ。なお、本明細書中では、この後で形成される層間絶縁膜337や画素電極をスイッチング素子の構成には含まないものとする。

## 【0072】

次に、第2の層間絶縁膜337として有機樹脂膜を0.5～1  $\mu\text{m}$ の厚さに形成する。また、第2の層間絶縁膜337として、酸化珪素膜、酸化窒化珪素膜、有機性樹脂膜等を用いることも可能である。有機性樹脂膜としては、ポリイミド、ポリアミド、ポリイミドアミド、アクリル等を用いることができる。本実施例では、アクリル膜を1  $\mu\text{m}$ の厚さに成膜した。(図3(D))

## 【0073】

なお、第2の層間絶縁膜337を形成した後、CMP研磨等の平坦化処理を施す工程としてもよい。平坦化処理する際は、残存する凹凸部の高さ(山の頂上と谷の底の間の鉛直方向の距離)が後に形成される画素電極の厚さの10%以内となる条件で行うことが好ましい。平坦化処理をすることで、後に形成する誘電体膜の膜厚を均一なものとすることができる。

## 【0074】

そして、第2の層間絶縁膜337上に金属材料からなる反射層341を形成する。本実施例における反射層341は、スパッタリング法により成膜したアルミニウムを主成分とする金属膜(膜厚200nm)をパターニングして形成した。なお、図2に反射層のパターンの一例を示したように、スイッチング素子及び後の工程で作製される画素電極と電氣的に接続しないよう開口を設ける必要がある。

## 【0075】

上記反射層341としては、反射性を有する金属材料であれば特に限定されず、例えば、アルミニウム、銀、ロジウム、ニッケル等の高反射性白色金属材料、またはそれらを主成分とする合金材料を用いることが好ましい。

## 【0076】

次に、前記反射層341を覆って、誘電体膜342を成膜する。誘電体膜342としては、透光性を有する誘電体（絶縁材料）であれば如何なる材料を用いてもよい。本実施例では、反射率を向上させるために、低屈折率誘電体材料（ $\text{SiO}_2$ ）を用いた。

## 【0077】

上記低屈折率誘電体材料として $\text{SiO}_2$ 、 $\text{MgF}_2$ 、 $\text{Na}_3\text{AlF}_6$ 等を、それ以外の低屈折率誘電体材料として配向膜、アクリル、ポリイミド（屈折率1.5～1.6）を用いることが望ましい。

## 【0078】

なお、可視光領域（ $400\text{nm} < \lambda < 700\text{nm}$ ）で $\lambda/4$ 膜となるように、上記誘電体膜の膜厚を調節することが好ましい。上記可視光領域で $\lambda/4$ 膜となるような低屈折率誘電体膜（ $\text{SiO}_2$ ）の膜厚の範囲は、 $70\text{nm} \sim 122\text{nm}$ である。本実施例では、低屈折率誘電体膜342として、 $\text{SiO}_2$ （屈折率1.43）を膜厚 $80\text{nm}$ で形成した。（図4（A））なお、この低屈折率誘電体膜と後に作製される画素電極とで、反射率を向上させる。

## 【0079】

次に、後の工程で作製する画素電極とスイッチング素子343とを接続するためのコンタクトホールを形成を行う。（図4（B））

## 【0080】

本実施例では、層間絶縁膜337と低屈折率誘電体膜342を異なる材料によって形成したが、同じ材料（酸化珪素膜、アクリル膜等）を用いた場合、エッチングレートが同じであるため容易にエッチング工程を施すことができ、好ましい。なお、異なる材料を用いた場合に、複数の段階に分けてエッチングを行う工程としてもよい。

## 【0081】

その後、膜厚（40nm～150nm）の透明性導電膜を成膜し、パターンニングを施して画素電極338～340を形成し、スイッチング素子343と電氣的に接続させた。（図4（C））

【0082】

上記画素電極338～340は、透明性及び導電性を十分有する材料、例えばITO（インディウム錫酸化物）や $\text{SnO}_2$ （酸化スズ）等を用いることができる。

【0083】

なお、可視光領域（ $400\text{nm} < \lambda < 700\text{nm}$ ）で $\lambda/4$ 膜となるように、画素電極の膜厚も調節することが好ましい。上記可視光領域で $\lambda/4$ 膜となるような高屈折率の材料膜（ITO：屈折率1.98）の膜厚の範囲は、50.5nm～88.4nmである。

【0084】

上記膜厚に調節すると、必要とする反射波長帯の光が干渉効果によって強め合い効率よく反射させることができる。本実施例では、膜厚80nmの低屈折率誘電体膜342と、膜厚60nmの画素電極（高屈折率を有する材料）で反射率を向上させることができた。こうして、実質的には、金属膜上に低屈折率誘電体膜と高屈折率誘電体膜の組を1組形成した場合と同程度の反射率を得ることができた。

【0085】

なお、上記各誘電体膜の材料や膜厚に限定されないことは言うまでもなく、それぞれの誘電体膜の膜厚や材料を適宜変更して、選択的に反射波長を設定する構成とすることもできる。また、上記各誘電体膜を形成する工程は、スパッタリング法または真空蒸着法等を用いて形成することが可能である。

【0086】

また、図5に示すように、上記画素電極338～340と反射層341は、誘電体膜342で絶縁されて電氣的に接続していないため、電位差が生じ、補助容量344が形成される。なお、図示しないが、反射層341を共通配線と接続し、コモン電位とすることで、大きな容量を形成する構成とすることが望ましい。

【0087】

次に、配向膜を公知の方法、本実施例では、塗布法によって形成した。

【0088】

以上の様にして、画素マトリクス回路が完成した。実際には画素TFTを駆動する駆動回路等も同一基板上に同時形成される。この様な基板は通常TFT側基板またはアクティブマトリクス基板と呼ばれる。本明細書中ではアクティブマトリクス基板のことを第1の基板と呼ぶことにする。

【0089】

第1の基板が完成したら、透明性基板に対向電極を形成した対向基板（本明細書中ではこの基板を第2の基板と呼ぶことにする）を貼り合わせ、それらの間に液晶層を挟持する。こうして、反射型LCDが完成する。

【0090】

なお、このセル組み工程は公知の方法に従って行えば良い。また、液晶層に二色性色素を分散させたり、対向基板にカラーフィルターを設けたりすることも可能である。その様な液晶層の種類、カラーフィルターの有無等はどの様なモードで液晶を駆動するかによって変化するので実施者が適宜決定すれば良い。

【0091】

上記作製工程によって得られた反射型LCDを図1に示す。図1は本実施例の簡略断面図である。

【0092】

本実施例で作製された液晶表示パネルは、基板110と対向基板119の間で、基板110の上に、スイッチング素子111、層間絶縁膜112、反射層113、低屈折率誘電体膜114、画素電極115、配向膜116、液晶層117、配向膜116、対向電極118がそれぞれ順次設けられている。

【0093】

なお、図1は、図3及び図4と対応しており、図1中の層間絶縁膜112は図3中の第2の層間絶縁膜337と対応し、図1中の画素電極115は図4中の画素電極338～340と対応し、図1中の誘電体膜114は、図4中の342と対応し、図1中の反射層113は、図4中の341と対応している。

【0094】

本実施例の構成、即ち図1及び図5の構成とすると、93～95%程度の反射率を得ることができ、配向膜を積層した構成としても90%程度の反射率を得ることができた。

【0095】

また、本実施例では示さなかったが、対向基板と対向電極の間にカラーフィルターを配置した構成としてもよい。

【0096】

〔実施例2〕 実施例1で示した作製工程では、膜厚を調節した誘電体膜（1層）及び画素電極を形成した例を示した。本実施例では、反射層上に誘電体多層膜（3層）を形成した例を以下に図6を用いて説明する。なお、途中（図3（D））までは実施例1に示した反射型LCDの作製工程と同一であるので、ここでは異なる点のみについて説明する。

【0097】

まず、実施例1の作製工程と同一の方法を用いて、図4（A）の構成を得る。

【0098】

次に、反射層上に誘電体多層膜603を形成する。まず、低屈折率誘電体膜（ $\text{SiO}_2$ ：膜厚70nm）上に、高屈折率誘電体膜（ $\text{TiO}_2$ ：膜厚50nm）と低屈折率誘電体膜（ $\text{SiO}_2$ ：膜厚70nm）を成膜した。可視光領域（ $400\text{nm} < \lambda < 700\text{nm}$ ）で $\lambda/4$ 膜となるように、それぞれ誘電体膜の膜厚を調節した。

【0099】

本実施例では、低屈折率誘電体膜として、 $\text{SiO}_2$ （屈折率1.43、膜厚範囲は、70nm～122nm）、高屈折率誘電体膜として $\text{TiO}_2$ （屈折率2.2、膜厚範囲は、45.5nm～79.5nm）を用いた。

【0100】

なお、本実施例（ $\text{SiO}_2$ ）以外の低屈折率誘電体材料として、 $\text{MgF}_2$ 、 $\text{Na}_3\text{AlF}_6$ 、配向膜、アクリル、またはポリイミド（屈折率1.5～1.6）を用いることもできる。また、本実施例（ $\text{TiO}_2$ ）以外の高屈折率誘電体材料



として、 $ZrO_2$ 、 $Ta_2O_5$ 、 $ZnS$ 、 $ZnSe$ 、 $ZnTe$ 、 $Si$ 、 $Ge$ 、 $Y_2O_3$ 、 $Al_2O_3$ 等を用いることができる。

【0101】

なお、上記各誘電体膜の材料や膜厚に限定されないことは言うまでもなく、それぞれの誘電体膜の膜厚や材料を適宜変更して、選択的に反射波長を設定する構成とすることもできる。

【0102】

次に、誘電体多層膜603および層間絶縁膜をエッチングし、コンタクトホール形成を行う。本実施例においては、酸溶液である1/100に希釈したフッ化水素溶液を用いて誘電体多層膜をウェットエッチングした。

【0103】

そして、透明性導電膜からなる画素電極604を形成した。画素電極604は、透明性及び導電性を十分有する材料、例えばITO（インディウム錫酸化物）や $SnO_2$ （酸化スズ）等を用いることができる。本実施例では、画素電極に高屈折率を有しているITOを用いた。従って、50.5nm～88.4nmの範囲に画素電極の膜厚を調節すれば、実質的には、低屈折率誘電体膜と高屈折率誘電体膜の組を2組形成した場合と同程度の反射率（計算上では、画素電極上に配向膜があっても94.7%）を得ることができる。

【0104】

その後、実施例1と同様に、配向膜を形成し、第1の基板を作製した。

【0105】

なお、本実施例において、画素電極604と反射層602は、誘電体多層膜603で絶縁され、電氣的に接続されていないため、電位差が生じて補助容量605が形成される。なお、図示しないが、反射層602を共通配線と接続し、コモン電位とすることで、より大きな容量を形成する構成とすることが望ましい。

【0106】

このような構成とすることで、従来と比較して反射率を更に向上させた。

【0107】

〔実施例3〕 実施例1で示した作製工程では、膜厚を調節した誘電体膜（1

層)及び画素電極を形成した例を示した。本実施例では、反射層の開口の下方に容量電極を形成した例を以下に図7及び図8を用いて説明する。なお、途中(図3(D))までは実施例1に示した反射型LCDの作製工程と同一であるので、ここでは異なる点のみについて説明する。

【0108】

まず、実施例1の作製工程と同一の方法を用いて、図3(D)の構成を得る。

【0109】

次に、層間絶縁膜337をエッチングし、コンタクトホールを形成する。そして、反射性を有する金属膜をパターンニングして容量電極702を形成する。

【0110】

この容量電極は、少なくとも後の工程で形成される反射層704の開口より大きなパターンを形成し、誘電体膜703を介して反射層704と重なった部分が容量として機能させることが好ましい。ここまでの工程は、従来の工程(反射層を画素電極とする)を用いることができる。

【0111】

次に、誘電体膜703として膜厚1 $\mu$ mのアクリル膜を形成した。(図8(A))誘電体膜の材料としては、透光性を有する誘電体(絶縁材料)であれば如何なる材料を用いてもよい。なお、図示しないが、本実施例では、CMPを用いて誘電体膜に平坦化する処理を施した。

【0112】

そして、誘電体膜703上に金属材料からなる反射層704を形成する。本実施例における反射層704は、スパッタリング法により成膜したアルミニウムを主成分とする金属膜(膜厚200nm)をパターンニングして形成した。なお、図2に反射層のパターンの一例を示したように、スイッチング素子及び後の工程で作製される画素電極と電気的に接続しないよう開口が設けられている。また、開口の下方には、容量電極702が設けられている。

【0113】

上記反射層704としては、反射性を有する金属材料であれば特に限定されず、例えば、アルミニウム、銀、ロジウム、ニッケル等の高反射性白色金属材料、

またはそれらを主成分とする合金材料を用いることが好ましい。

【0114】

次に、前記反射層704を覆って、誘電体膜を成膜する。この誘電体膜としては、透光性を有する誘電体（絶縁材料）であれば如何なる材料を用いてもよいが、本実施例では、反射率を向上させるために、低屈折率誘電体膜705（ $\text{SiO}_2$ ）を用い、膜厚は、可視光領域（ $400\text{nm} < \lambda < 700\text{nm}$ ）で $\lambda/4$ 膜となるように、 $70\text{nm} \sim 122\text{nm}$ の範囲内とした。（図8（B））

【0115】

次に、コンタクトホールを形成した。（図8（C））本実施例の構成において、容量電極をエッチングストッパーとして機能させることができるので、エッチングを比較的容易に行うことができる。好ましくは、誘電体膜703と低屈折率誘電体膜705を同一材料で構成すると、エッチングレートを同一とすることができるため、エッチング残りの少ない良好なコンタクトホールを容易に形成することができる。

【0116】

そして、透明性を有する導電性膜、本実施例ではITO膜を $50\text{nm}$ の厚さに成膜し、パターニングにより画素電極706～708を形成した。なお、可視光領域（ $400\text{nm} < \lambda < 700\text{nm}$ ）で $\lambda/4$ 膜となるように、画素電極の膜厚を調節した。なお、上記可視光領域で $\lambda/4$ 膜となるような高屈折率の材料膜（ITO）の膜厚の範囲は、 $50.5\text{nm} \sim 88.4\text{nm}$ の範囲である。こうして図8（D）に示す状態が得られた。

【0117】

なお、従来では、画素電極の隙間にブラックマスク等の遮光膜を形成する必要があったが、本実施例においては、その必要はなく、反射層704及び反射層の開口の下方に設けられている容量電極702が、確実な遮光機能を果たし、スイッチング素子の光リーク及び光劣化を防ぐ。

【0118】

また、図7に示す構成とすることで、反射層704と、誘電体膜703と、容量電極702とで第1の補助容量708を形成することができた。また、反射層

704と、低屈折率誘電体膜705と、画素電極706とで第2の補助容量709を形成することができた。

【0119】

また、図示しないが、本実施例では、反射層704はコモン電位となるように共通配線と接続した。ただし、反射層704は、フローティング状態であっても容量を形成することができる。なお、容量を形成する各部分の材料、膜の厚さ、積層数等を適宜変更することによって、補助容量708、709を自由に設計することができる。

【0120】

このように、画素面積に関わらず補助容量を大きくとれるため、本実施例は、特に、小さな高精細パネルを用いるプロジェクタ装置に有効である。

【0121】

なお、本実施例と実施例1または実施例2と組み合わせることは容易である。

【0122】

〔実施例4〕 本実施例では、アクティブマトリクス駆動を行うための半導体素子として、実施例1～3で示したTFTとは異なる構造のTFTを利用する場合の例について説明する。なお、本実施例で説明する構造のTFTは実施例1～3に対しても容易に適用することができる。

【0123】

実施例1～3では代表的なトップゲート型TFTであるコプレーナ型TFTを一例として記載したが、ボトムゲート型TFTであっても構わない。図9に示すのはボトムゲート型TFTの代表例である逆スタガ型TFTを用いた例である。

【0124】

図9において、801はガラス基板、802、803はゲート電極、804はゲート絶縁膜、805、806は活性層である。活性層805、806は意図的に不純物を添加しない珪素膜で構成される。

【0125】

また、807、808はソース電極、809、810はドレイン電極であり、811、812はチャネルストッパー（またはエッチングストッパー）となる窒

化珪素膜である。即ち、活性層 805、806のうち、チャネルストッパー 811、812の下に位置する領域が実質的にチャネル形成領域として機能する。

【0126】

以上までが逆スタガ型TFTの基本構造である。

【0127】

本実施例では、この様な逆スタガ型を有機性樹脂膜でなる層間絶縁膜 813で覆って平坦化し、層間絶縁膜上に本発明の反射層 822、低屈折誘電体膜 816を形成し、その上に透明性導電膜からなる画素電極 814、815を形成し、配向膜 819を成膜する構成とする。

【0128】

また、次に本発明の半導体素子として絶縁ゲート型電界効果トランジスタ (IGFET) を形成した場合の例について説明する。なお、IGFETはMOSFETとも呼ばれ、シリコンウェハー上に形成されたトランジスタを指す。

【0129】

図10において、901はガラス基板、902、903はソース領域、904、905はドレイン領域である。ソース/ドレイン領域はイオン注入で不純物を添加し、熱拡散させることで形成できる。なお、906は素子分離用の酸化物であり、通常のLOCOS技術を用いて形成できる。

【0130】

次に、907はゲート絶縁膜、908、909はゲート電極、910は第1の層間絶縁膜、911、912はソース電極、913、914はドレイン電極である。その上を第2の層間絶縁膜 915で平坦化し、その平坦面上に本発明の反射層 922、低屈折率誘電体膜 918を形成し、画素電極 916、917を形成する。そして、配向膜 921を成膜する。

【0131】

なお、本実施例で示したIGFET、トップゲート型またはボトムゲート型TFT以外にも、薄膜ダイオード、MIM素子、バリスタ素子等を用いたアクティブマトリクスディスプレイに対しても本発明は適用できる。

【0132】

以上、本実施例に示した様に、本発明はあらゆる構造の半導体素子を用いた反射型LCDに対して適用可能である。

【0133】

〔実施例5〕 実施例1～4に示した構成を含む第1の基板（素子形成側基板）を用いてAMLCDを構成した場合の例について説明する。ここで本実施例のAMLCDの外観を図11に示す。

【0134】

図11（A）において、1001はアクティブマトリクス基板であり、画素マトリクス回路1002、ソース側駆動回路1003、ゲート側駆動回路1004が形成されている。駆動回路はN型TFTとP型TFTとを相補的に組み合わせたCMOS回路で構成することが好ましい。また、1005は対向基板である。

【0135】

図11（A）に示すAMLCDはアクティブマトリクス基板1001と対向基板1005とが端面を揃えて貼り合わされている。ただし、ある一部だけは対向基板1005を取り除き、露出したアクティブマトリクス基板に対してFPC（フレキシブル・プリント・サーキット）1006を接続してある。このFPC1006によって外部信号を回路内部へと伝達する。

【0136】

また、FPC1006を取り付ける面を利用してICチップ1007、1008が取り付けられている。これらのICチップはビデオ信号の処理回路、タイミングパルス発生回路、 $\gamma$ 補正回路、メモリ回路、演算回路など、様々な回路をシリコン基板上に形成して構成される。図11（A）では2個取り付けられているが、1個でも良いし、さらに複数個であっても良い。

【0137】

また、図11（B）の様な構成もとりうる。図11（B）において図11（A）と同一の部分は同じ符号を付してある。ここでは図11（A）でICチップが行っていた信号処理を、同一基板上にTFTでもって形成されたロジック回路909によって行う例を示している。この場合、ロジック回路1009も駆動回路1003、1004と同様にCMOS回路を基本として構成される。

【0138】

また、カラーフィルターを用いてカラー表示を行っても良いし、ECB（電界制御複屈折）モード、GH（ゲストホスト）モードなどで液晶を駆動し、カラーフィルターを用いない構成としても良い。

【0139】

【実施例6】 本発明の構成は、AMLCD以外にも他の様々な電気光学装置や半導体回路に適用することができる。

【0140】

AMLCD以外の電気光学装置としてはEL（エレクトロルミネッセンス）表示装置やイメージセンサ等を挙げることができる。

【0141】

また、半導体回路としては、ICチップで構成されるマイクロプロセッサの様な演算処理回路、携帯機器の入出力信号を扱う高周波モジュール（MMICなど）が挙げられる。

【0142】

この様に本発明は絶縁ゲイト型TFTで構成される回路によって機能する全ての半導体装置に対して適用することが可能である。

【0143】

【実施例7】 実施例5に示したAMLCDは、様々な電子機器のディスプレイとして利用される。なお、本実施例に挙げる電子機器とは、アクティブマトリクス型液晶表示装置を搭載した製品と定義する。

【0144】

その様な電子機器としては、ビデオカメラ、スチルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ（ノート型を含む）、携帯情報端末（モバイルコンピュータ、携帯電話等）などが挙げられる。それらの一例を図12に示す。

【0145】

図12（A）は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で

構成される。本発明は音声出力部 2002、音声入力部 2003、表示装置 2004 等に適用することができる。

【0146】

図 12 (B) はビデオカメラであり、本体 2101、表示装置 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 で構成される。本発明は表示装置 2102、音声入力部 2103、受像部 2106 に適用することができる。

【0147】

図 12 (C) はモバイルコンピュータ (モービルコンピュータ) であり、本体 2201、カメラ部 2202、受像部 2203、操作スイッチ 2204、表示装置 2205 で構成される。本発明は受像部 2203、表示装置 2205 等に適用できる。

【0148】

図 12 (D) はヘッドマウントディスプレイであり、本体 2301、表示装置 2302、バンド部 2303 で構成される。本発明は表示装置 2302 に適用することができる。

【0149】

図 12 (E) はリア型プロジェクターであり、本体 2401、光源 2402、表示装置 2403、偏光ビームスプリッタ 2404、リフレクター 2405、2406、スクリーン 2407 で構成される。本発明は表示装置 2403 に適用することができる。

【0150】

図 12 (F) はフロント型プロジェクターであり、本体 2501、光源 2502、表示装置 2503、光学系 2504、スクリーン 2505 で構成される。本発明は表示装置 2503 に適用することができる。

【0151】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、他にも電光掲示盤、宣伝広告用ディスプレイなどにも活用することができる。



【0152】

【発明の効果】

本発明は、反射層として、画素電極及びスイッチング素子と接続されていない反射性を有する材料膜を用いた。従って、本発明の反射層のパターンは、従来（図14に示す）のような隙間の生じるマトリクス状のパターンとする必要がない。よって、光リークの発生を低減し、且つ広い反射面積を得ることができる。

【0153】

また、本発明の反射層上に形成する誘電体膜及び画素電極の材料、膜の厚さ、積層数等を適宜変更することによって、配向膜を積層した状態であっても90～100%未満の反射率を得ることができる。

【0154】

特に、本発明の反射型液晶LCDは、反射層上に、それぞれの膜厚を $\lambda/4$ 膜に調節した誘電体膜（誘電体多層膜）と、透明性導電膜からなる画素電極を備えた構成とすることで、容易に反射率を90%以上とすることができる。

【0155】

また、本発明の誘電体膜（誘電体多層膜）と画素電極は、反射層を保護することができる。

【0156】

また、従来と比較して工程数を増やすことなく、誘電体膜による増反射効果が得られると同時に、誘電体膜（誘電体多層膜）を誘電体として、透明性導電膜からなる画素電極と反射層とで容易に補助容量を形成することができる。

【0157】

加えて、本発明により、従来にない明るく、視認性の良い表示の液晶パネルを得ることができる。

【図面の簡単な説明】

- 【図1】 本発明の構成の一例を示す図（断面図）
- 【図2】 本発明の構成の一例を示す図（上面図）
- 【図3】 本実施例の作製工程の一例を示す図（実施例1）
- 【図4】 本実施例の作製工程の一例を示す図（実施例1）

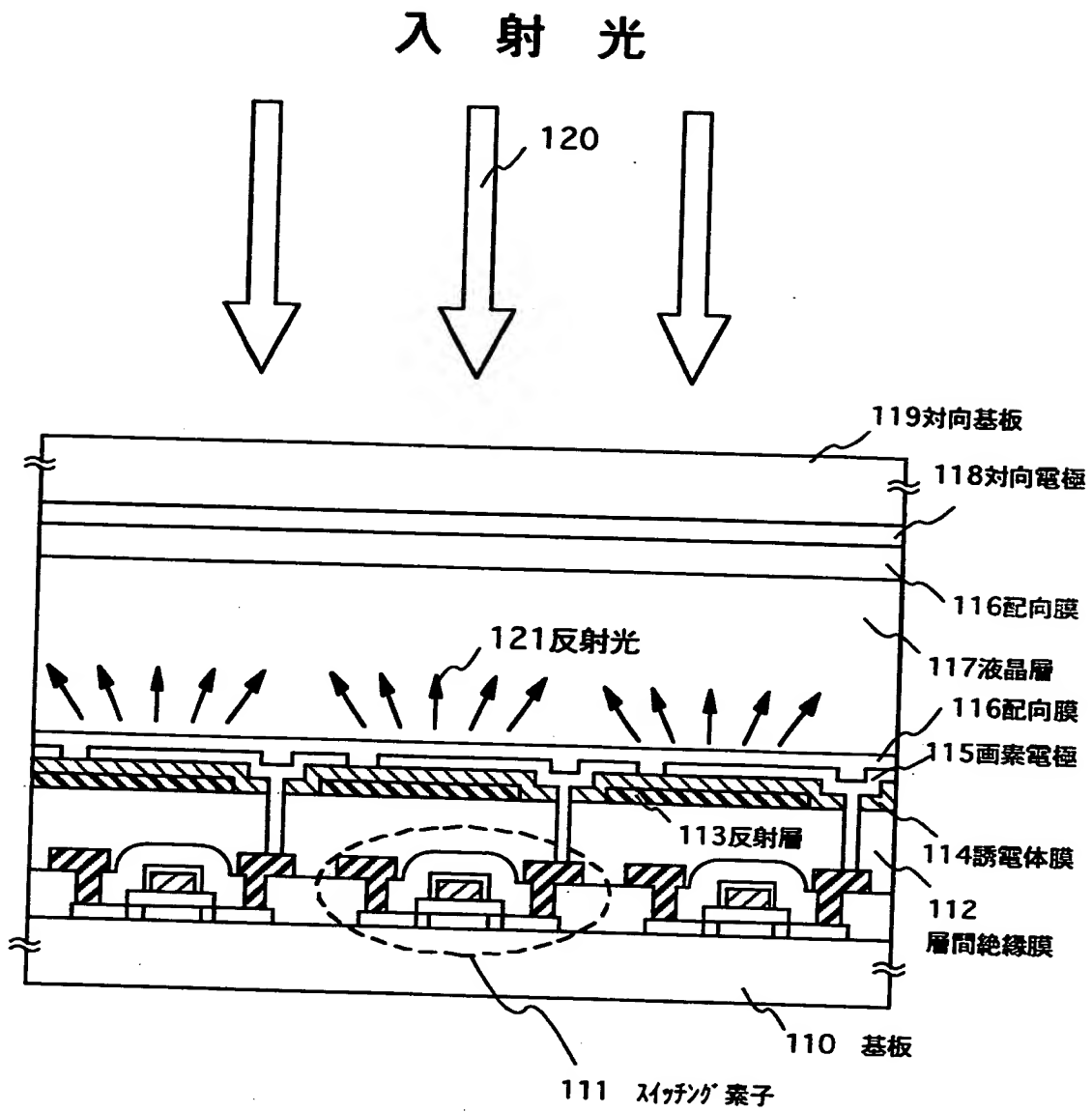
- 【図 5】 本発明の構成の一例を示す図（拡大図）
- 【図 6】 本発明の構成の一例を示す図（実施例 2）
- 【図 7】 本発明の構成の一例を示す図（実施例 3）
- 【図 8】 本実施例の作製工程の一例を示す図（実施例 3）
- 【図 9】 本発明の構成の一例を示す図（実施例 4）
- 【図 10】 本発明の構成の一例を示す図（実施例 4）
- 【図 11】 AMLCD の外観を示す図（実施例 5）
- 【図 12】 電子機器を示す図（実施例 7）
- 【図 13】 従来 of 構成の一例を示す図（断面図）
- 【図 14】 従来 of 構成の一例を示す図（上面図）

【符号の説明】

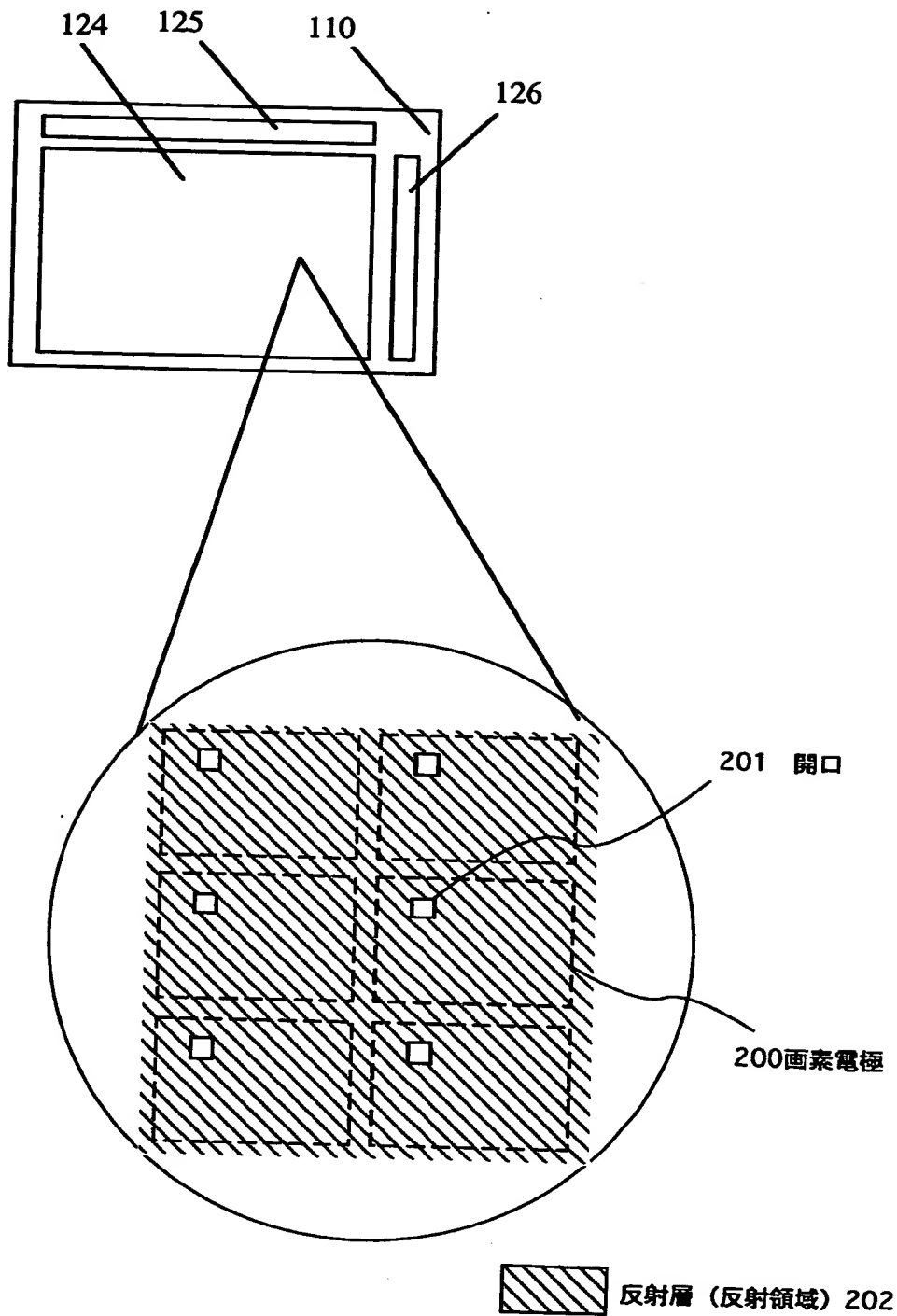
- 110 基板
- 111 スイッチング素子
- 112 層間絶縁膜
- 113 反射層
- 114 誘電体膜
- 115 画素電極
- 116 配向膜
- 117 液晶層
- 118 対向電極
- 119 対向基板
- 120 入射光
- 121 反射光
- 124 表示領域
- 125 X 方向駆動ドライバ
- 126 Y 方向駆動ドライバ
- 200 画素電極
- 201 開口
- 202 反射層（反射領域）

【書類名】 図面

【図1】

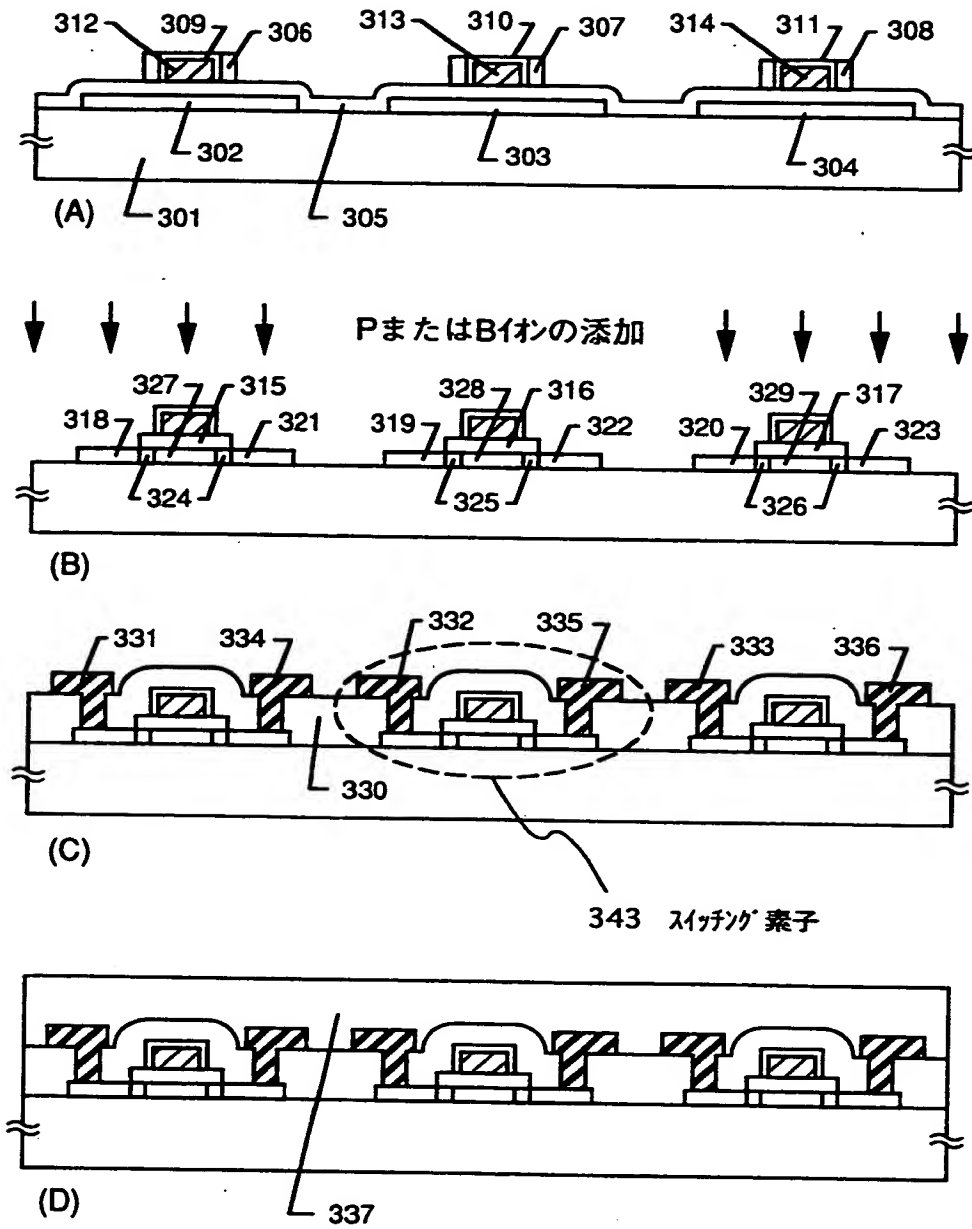


【図2】

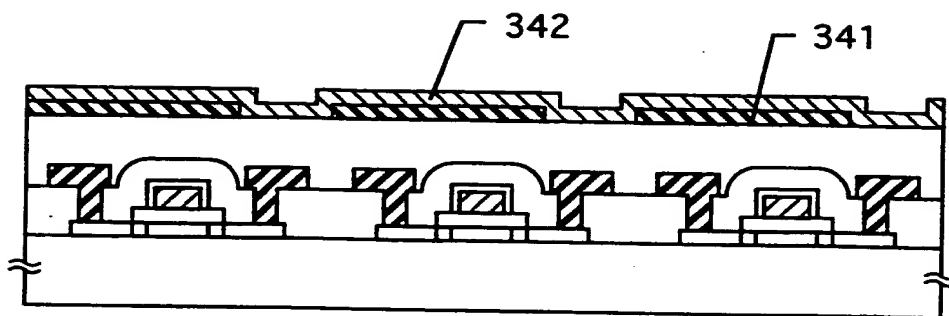


上面図の一例

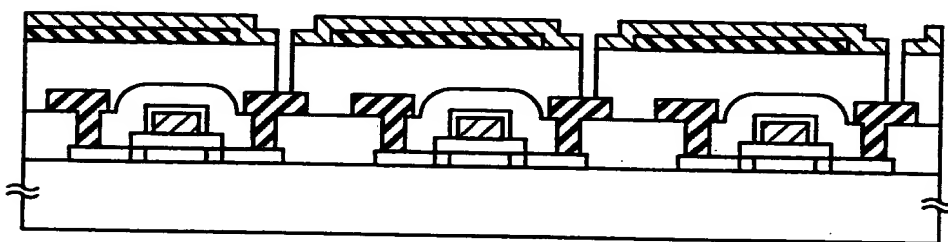
【図 3】



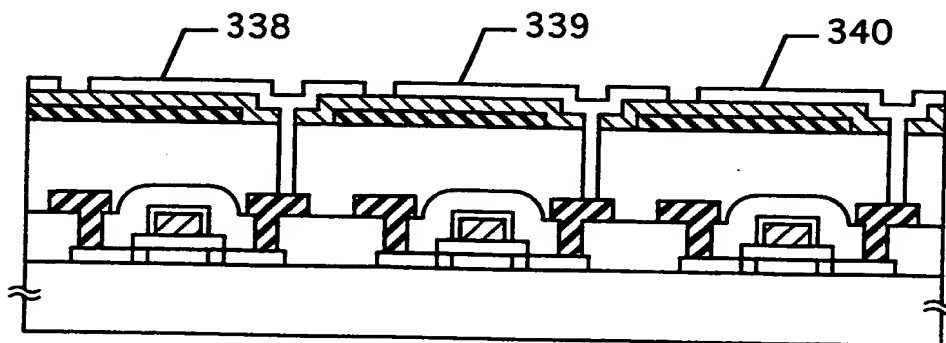
【図 4】



(A) 反射層、誘電体膜形成工程

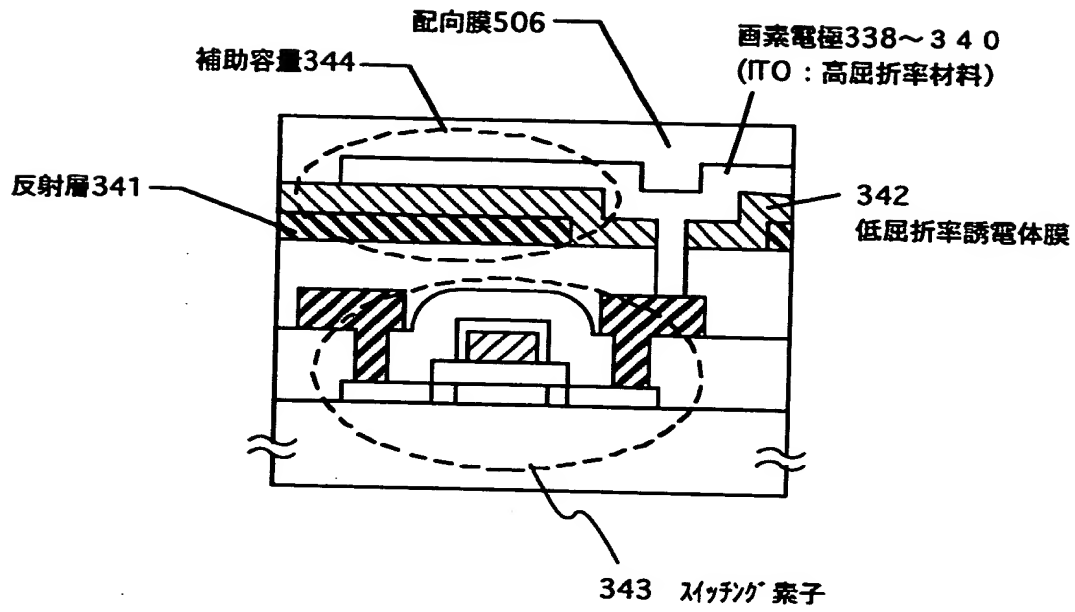


(B) コンタクトホール形成工程

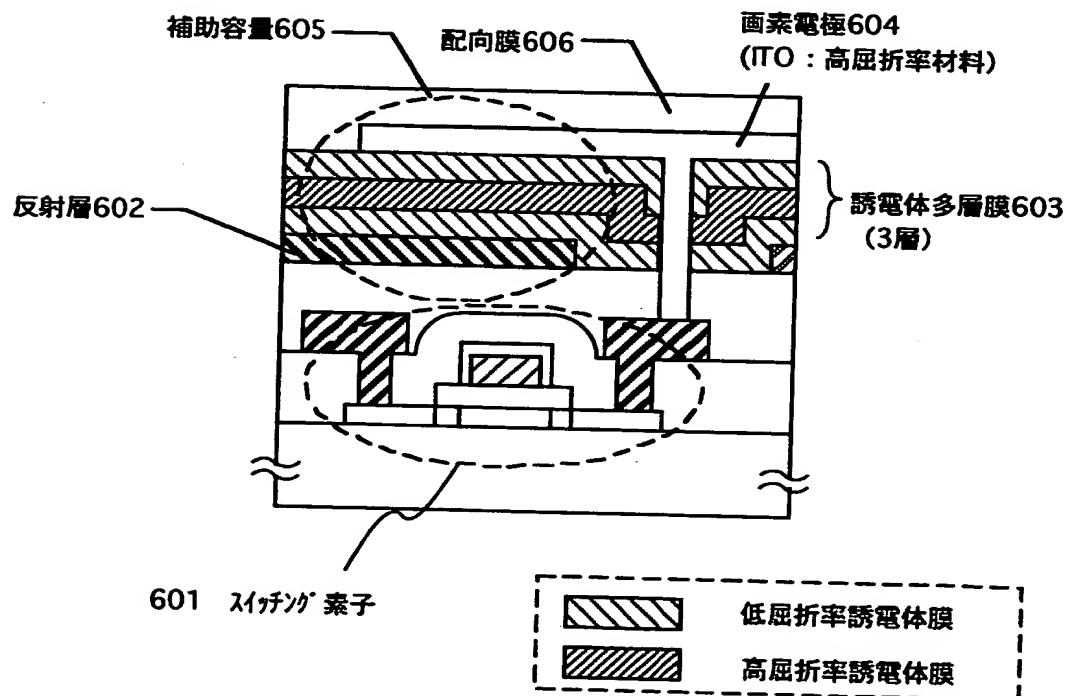


(C) 画素電極形成工程

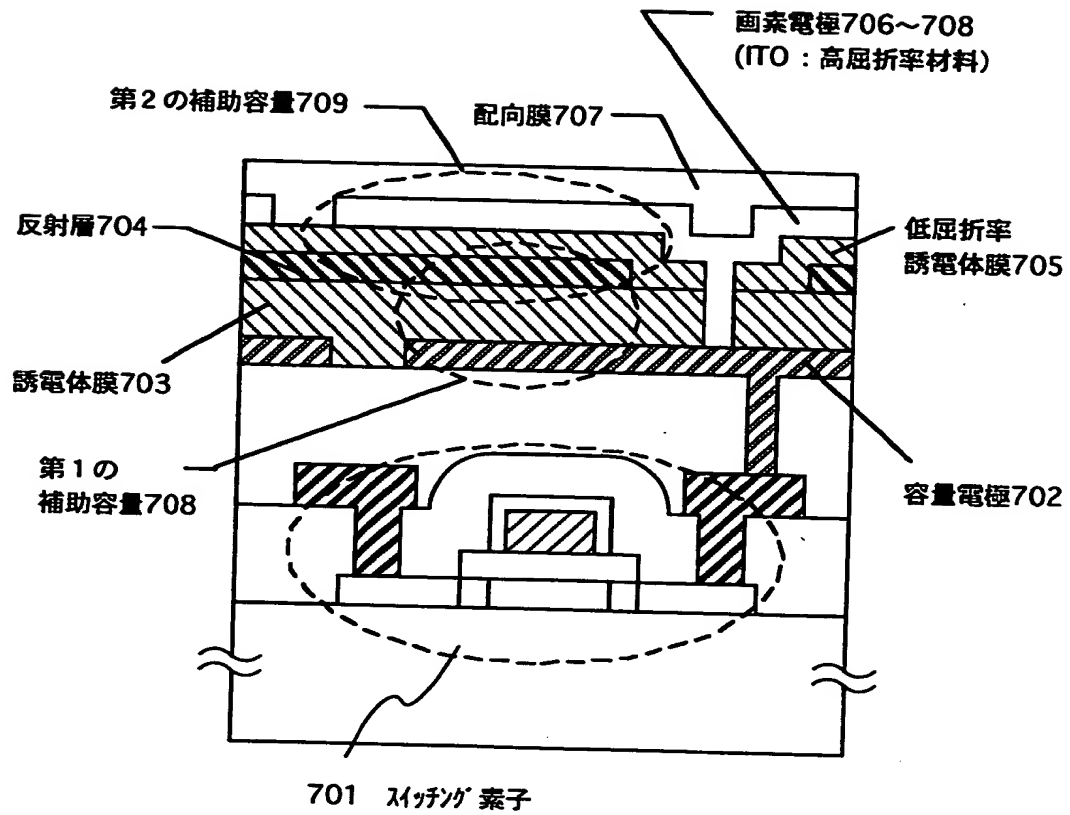
【図 5】



【図 6】

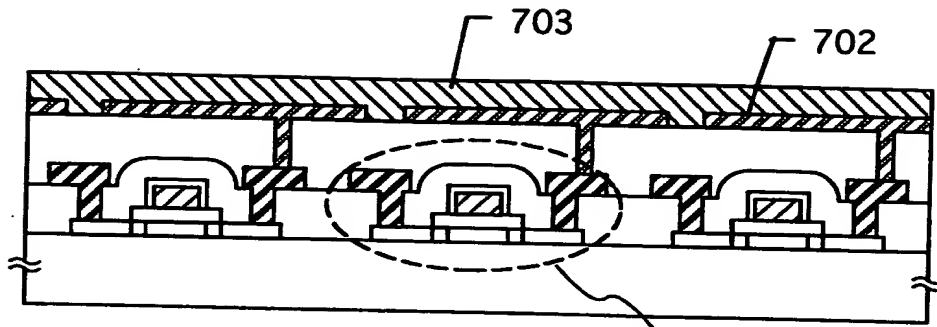


【図 7】

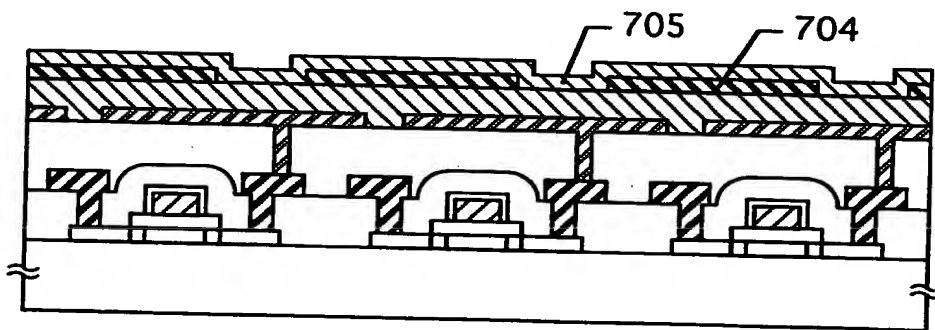


【図8】

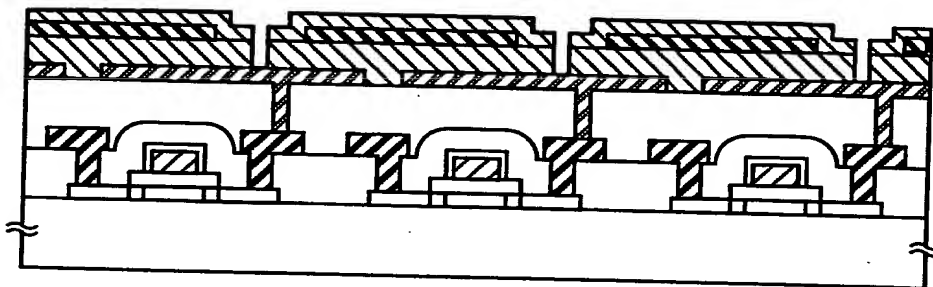




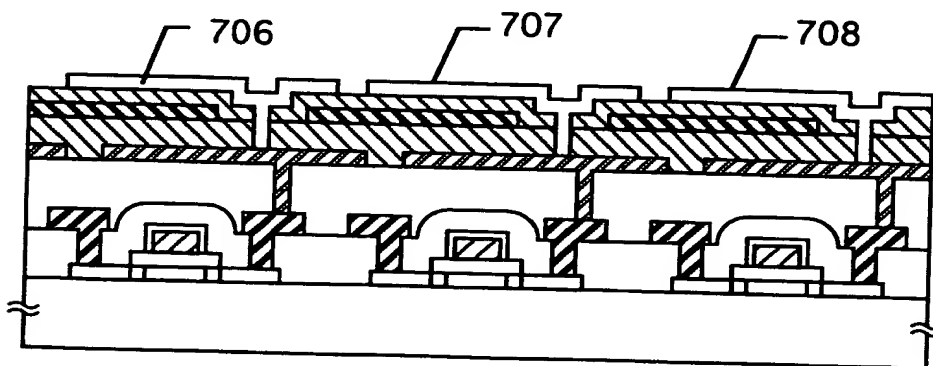
(A)容量電極702、誘電体膜703形成工程 701 ミツヅカ 素子



(B)反射層704、誘電体膜705形成工程

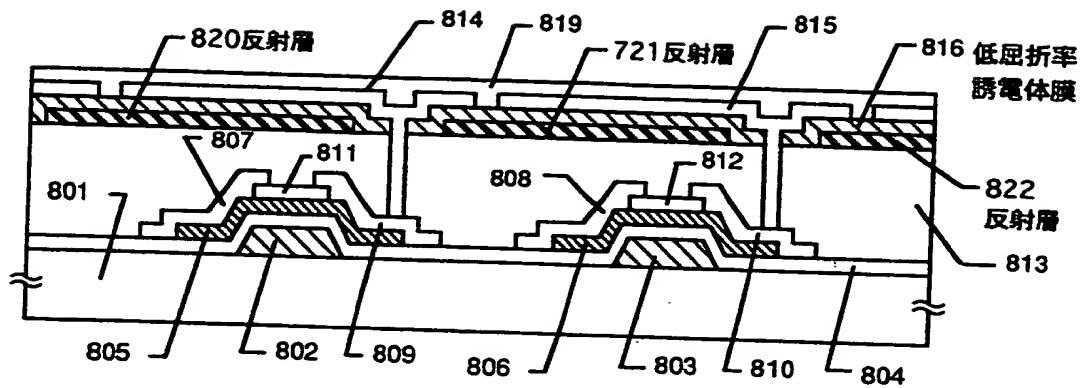


(c)コンタクトホール形成工程

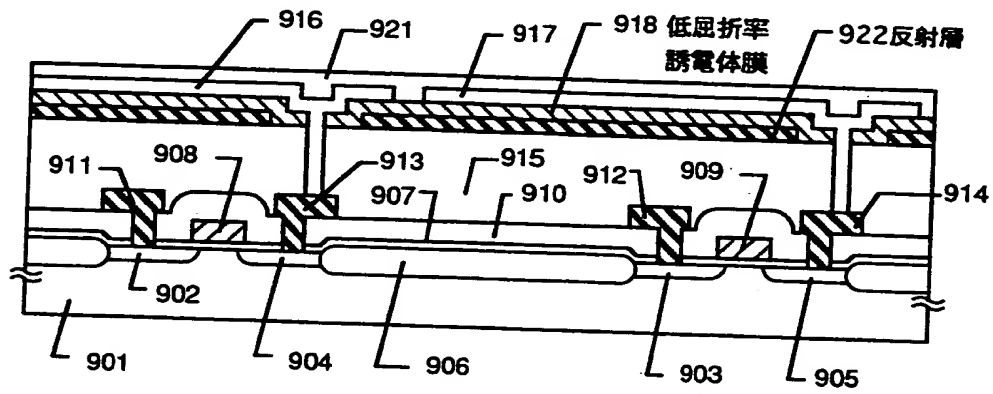


(D) 画素電極706~708形成工程

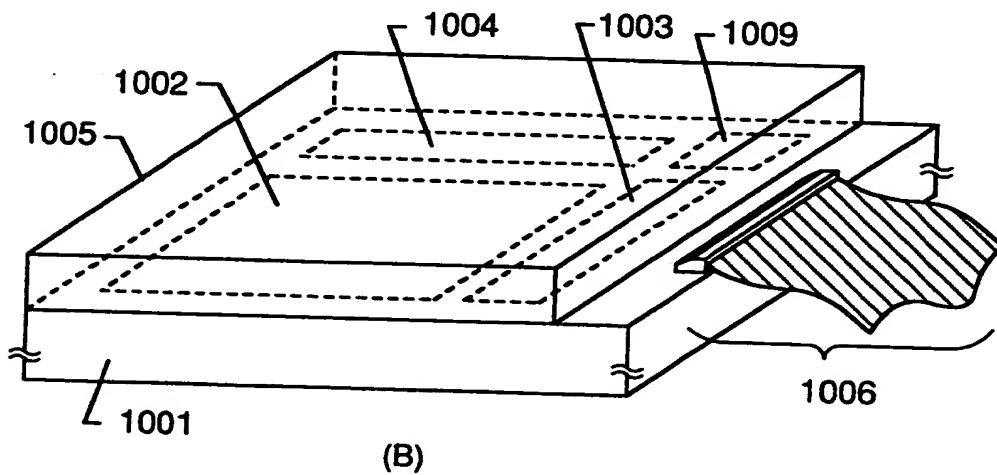
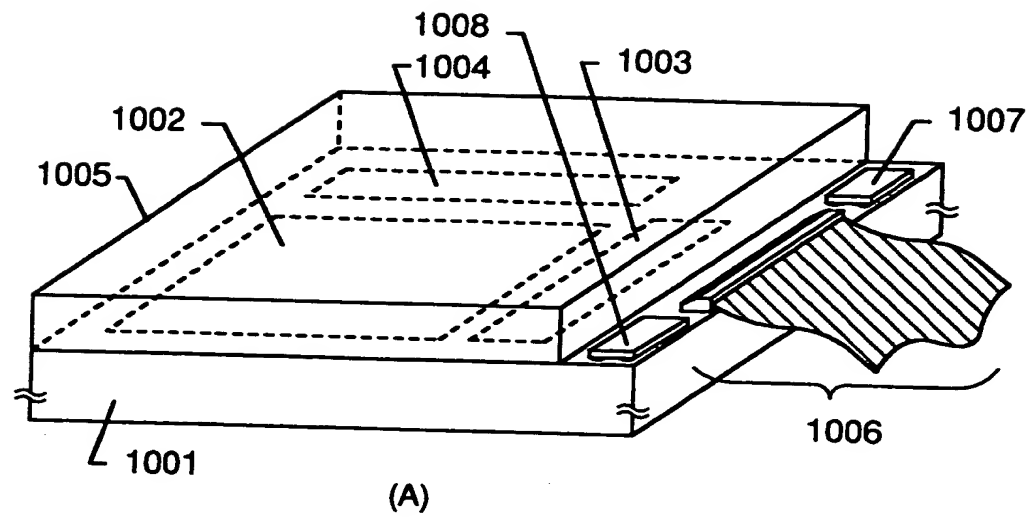
【図9】



【図10】

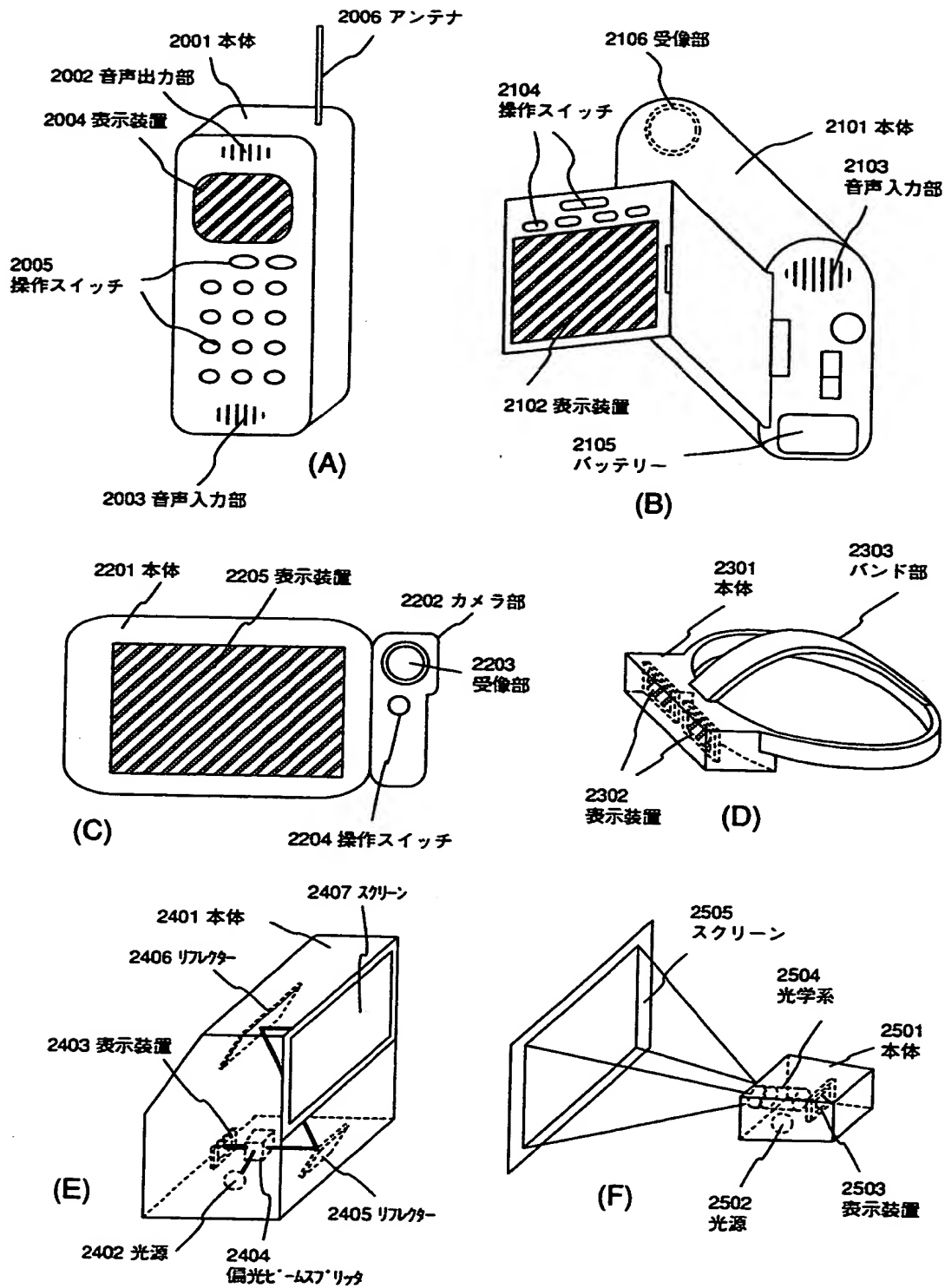


【図11】



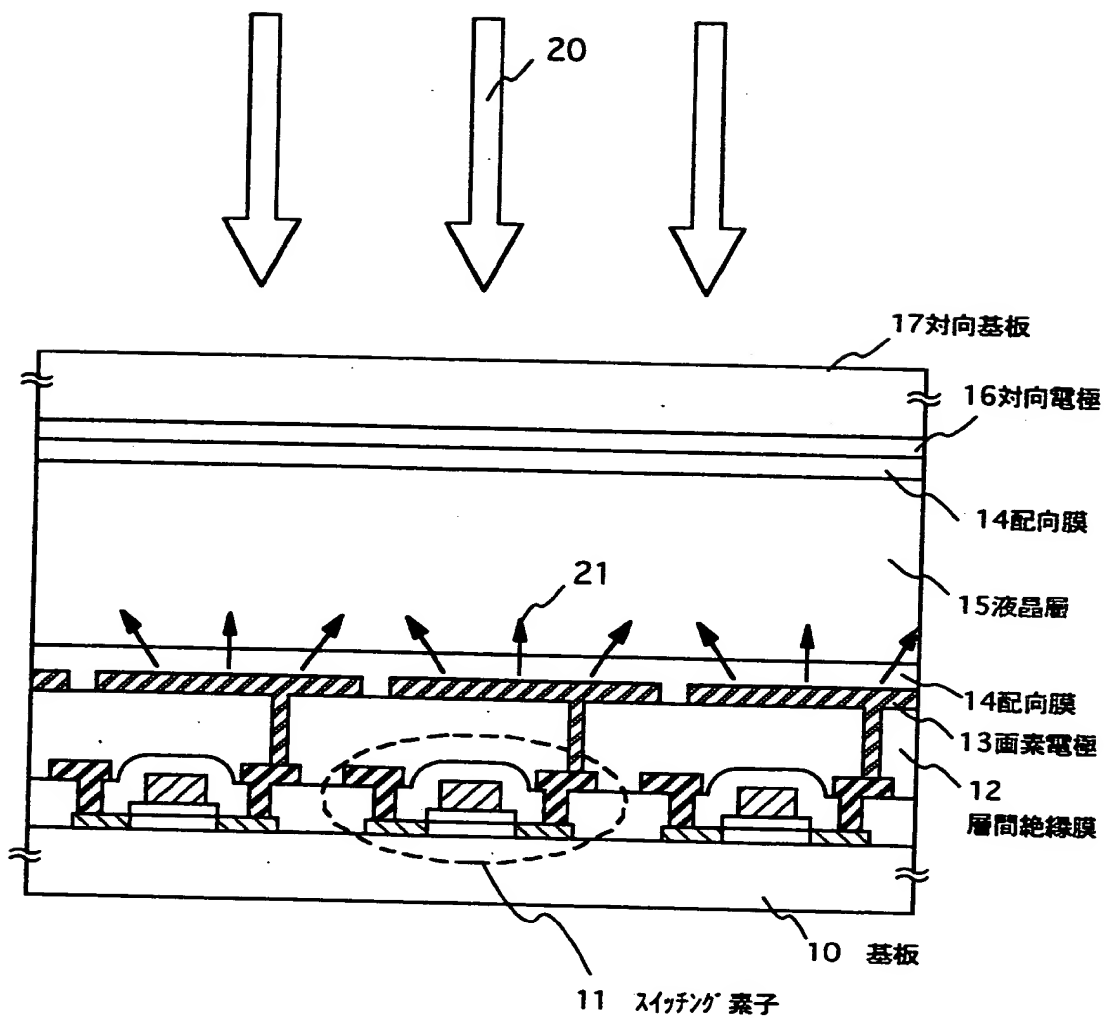
1001: アクティブマトリクス基板 1002: 画素マトリクス回路  
 1003: ソース側駆動回路 1004: ゲイト側駆動回路 1005: 対向基板  
 1006: FPC 1007、1008: ICチップ 1009: ロジック回路

【図 12】

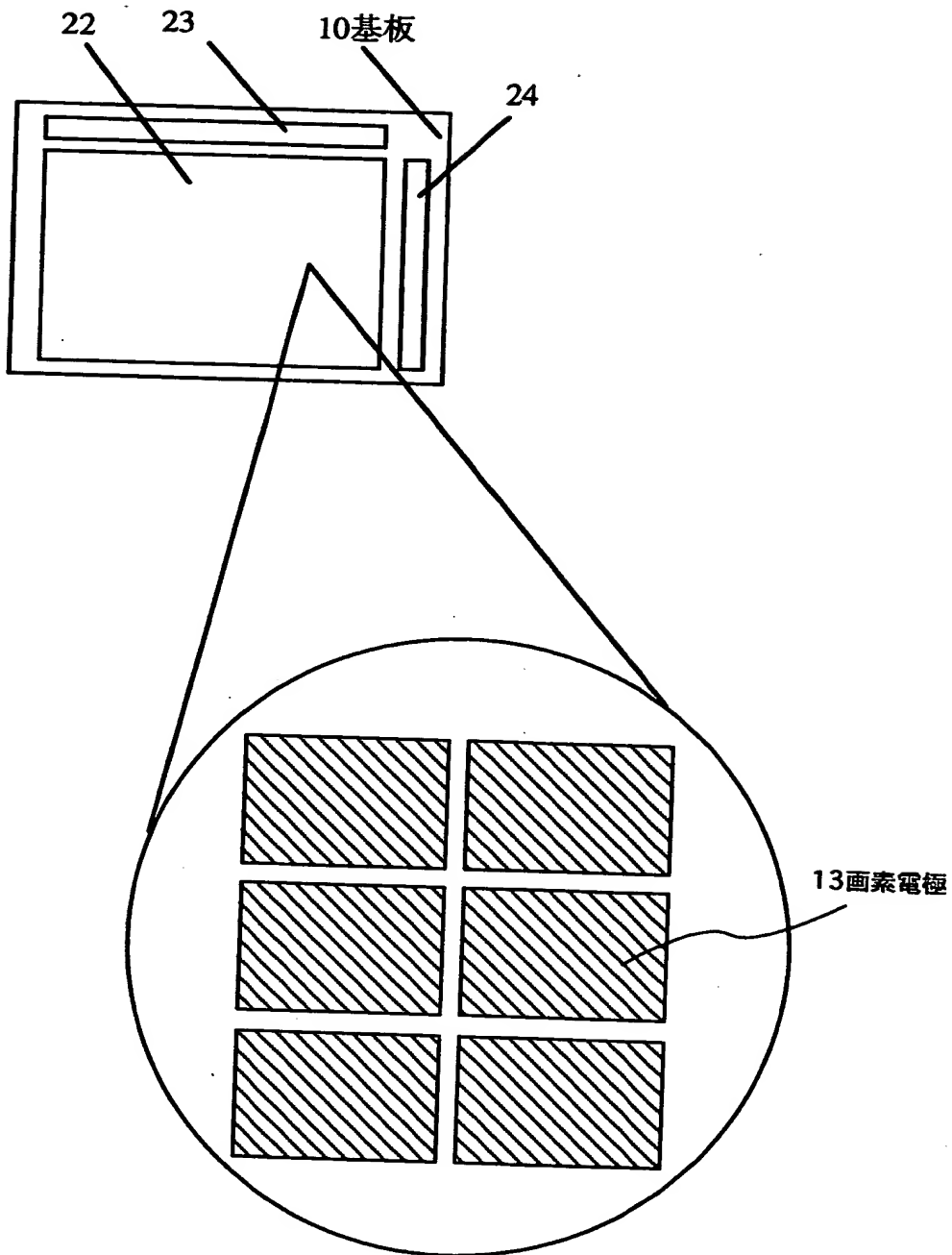


【図 13】

入 射 光



【図 14】



上面図の一例

【書類名】 要約書

【要約】

【課題】 従来の反射層（画素電極）は、隣り合う反射層（画素電極）同士での間隙が大きく光リークが発生していた。そこで、本発明は、従来と比較して入射光がより効率よく反射するような反射層を備えた新規な液晶表示装置の構成およびその作製方法を提供することを課題とする。

【解決手段】 本発明は、従来のように反射層として画素電極を用いず、液晶に電界を印加する機能を有する画素電極115を透明性導電膜で構成する。加えて、入射光を反射する機能を有する反射層113は、前記画素電極115に電氣的に接続させない構成とする。

【選択図】 図1

特平10-150083

【書類名】

職権訂正データ

【訂正書類】

特許願

<認定情報・付加情報>

【特許出願人】

申請人

【識別番号】

000153878

【住所又は居所】

神奈川県厚木市長谷398番地

【氏名又は名称】

株式会社半導体エネルギー研究所



特平10-150083

出 願 人 履 歴 情 報

識別番号

[000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地

氏 名 株式会社半導体エネルギー研究所